

論理回路設計

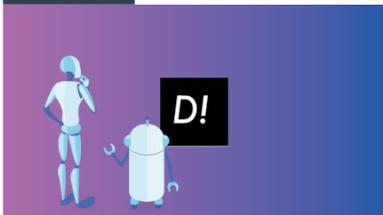
論理回路の基礎から 簡単なプロセッサ設計まで

電子回路によって実現される論理回路について、その基礎を理解し、設計手法を習得することを目的とします。

前半では、大学で通常教えられている「論理回路」の基礎的な内容として、ブール代数、2進数による情報の表現、論理式とその簡単化などについて理解し、組合せ回路、順序回路の設計手法を学びます。後半では、論理回路の代表である中央処理装置(CPU)について、京都大学で学生の教育を目的として開発されたKUE-CHIP2を例題として、その構成要素と構造を理解し、マシン語プログラムの実行手順について学びます。

論理回路の基礎からそれらを用いたCPUの回路構成を学び、論理回路を設計する技術を身に着ける上で役に立つ講義をする予定です。

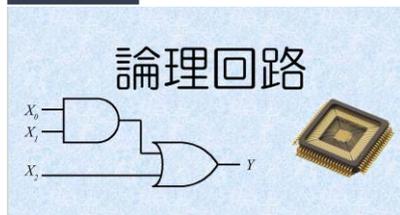
特徴 1



論理回路の初心者でも理解できる

セミナーは2進数やブール代数の基礎からスタートします。

特徴 2



論理回路の応用がイメージできる

論理回路の応用として、簡単なCPUをサンプルとして扱います。

学習時間

合計約 **6** 時間

対象者



開催場所

貴社指定場所
(応相談)

講師プロフィール



小松 聡

東京電機大学工学部電子システム工学科教授

1996年、東京大学工学部卒業。1998年、東京大学大学院工学系研究科修士課程修了。2001年、東京大学大学院工学系研究科博士課程終了、博士(工学)。2001年より東京大学大規模集積システム設計教育研究センター助手、助教、特任准教授。2014年、東京電機大学工学部准教授。2015年より現職。

東京電機大学では、大規模集積システムの設計技術、テスト技術、集積化MEMSの研究に従事。

プログラム

1. はじめに	
2. ブール代数と組合せ回路	
(1) 情報の表現 (2進数, 16進数)	# 2進数
(2) ブール代数と論理演算	#論理式
(3) 論理の簡単化	#カルノー図 #クワイン・マクラスキー法
(4) 組合せ回路	#算術演算回路
3. 順序回路と状態遷移機械	
(1) 順序回路	
(2) 状態遷移機械	
4. データバスと制御回路	
(1) データバス	
(2) 制御回路	
5. KUE-CHIP2を題材とした論理	
(1) CPUの構成要素	#算術論理演算装置、#レジスタ、#制御回路
(2) マシン語プログラムとその実行	
(3) アセンブリ言語でのプログラミング	

本講義内容・時間をご提案です。

実際には、ご希望をうかがった上で、内容や時間など御社に最適なプログラムとなるようカスタマイズいたします。

ご質問・お申し込みは、お気軽に担当者または右記窓口までご連絡ください。

お問い合わせ窓口

東京電機大学 リスキリング事務局

Eメール：information-tdudtec@jim.dendai.ac.jp

電話：03-5284-5202 (学長室内)

(3営業日を目安にご連絡いたします)